**LOGIKA DIGITAL DAN SISTEM DIGITAL**

**RANGKAIAN SEKUENSIAL RS FLIP-FLOP &**

**D FLIP-FLOP**



Disusun oleh:

Embong Octavianto (18.11.0009)

Ilham Galis Paramarta (18.11.0135)

Dimas Cahyo Nur Aditya (18.11.0031)

Bangun Apriansyah (18.11.0042)

**PROGRAM STUDI TEKNIK INFORMATIKA**

**STIMIK AMIKOM PURWOKERTO 2018**

**KATA PENGANTAR**

Dengan mengucapkan Puji Syukur atas Kehadirat Allah Yang maha Kuasa karena atas Rahmat dan Hidayah-Nya penulis dapat menyelesaikan tugas ini dengan tujuan memenuhi Tugas Mata Kuliah Logika Digital Dan Sistem Digital Tahun Akademik 2018/2019.

Kami menyadari bahwa dalam penulisan tugas ini masih jauh dari kategori sempurna, oleh karena itu penulis dengan hati dan tangan terbuka mengharapkan saran dan kritik yang membangun demi kesempurnaan tugas yang akan datang.

Selanjutnya dalam kesempatan hari ini penulis tidak lupa untuk menyampaikan ucapan terima kasih yang sedalam-dalamnya kepada semua pihak yang telah memberikan bantuan moral dan spiritual, langsung maupun tidak langsung dalam menyelesaikan tugas ini. Semoga makalah ini bermanfaat bagi kita semua.

**DAFTAR ISI**

KATA PENGANTAR ..................................................................................................1

DAFTAR ISI ...........................................................................................................….2

BAB I PENDAHULUAN.............................................................................................3

BAB II PEMBAHASAN...............................................................................................4

2.1 Pengenalan Rangkaian Sekuensial ...................................................................4

2.2 Pengenalan Flip Flop ........................................................................................4

2.3 Gerbang Dasar Flip Flop ..................................................................................5

2.4 Jenis-Jenis Flip Flop .........................................................................................7

A. SR Flip-Flop ...............................................................................................7

B. SR Flip-Flop Terdetak ..............................................................................15

C. D Flip-Flop ...............................................................................................18

BAB III PENUTUP .....................................................................................................32

REFERENSI ................................................................................................................33

**BAB I**

**PENDAHULUAN**

Semua rangkaian logika yang telah diuraikan di bagian depan adalah rangkaian logika kombinasi yang keadaan keluarannya setiap saat hanya ditentukan oleh kombinasi masukan yang diberikan pada saat itu. Setiap sistem digital akan mempunyai bagian yang merupakan rangkaian kombinasi. Disamping itu, dalam sistem digital juga, pada umumnya, dipergunakan bagian rangkaian yang dapat mengingat keadaan keluarannya sebelumnya dan keluarannya untuk suatu kombinasi masukan tertentu juga tergantung atas keadaan keluarannya sebelum masukan itu dikenakan. Bagian rangkaian demikian disebut sebagai rangkaian berurut (sequential). Rangkaian logika berurut juga pada umumnya memakai rangkaian logika kombinasi, setidak-tidaknya pada rangkaian masukannya.

Rangkaian logika berurut dibedakan atas dua jenis, yaitu serempak (synchro nous) dan tak-serempak (asynchronous). Dalam rangkaian serempak, perubahan keadaan keluaran hanya terjadi pada saat-saat yang ditentukan saja. Walaupun masukan berubah diantara selang waktu yang ditentukan itu, keluaran daripada rangkaian itu tidak akan berubah. Berbeda dari rangkaian yang serempak, keluaran dari pada rangkaian tak-serempak berubah menurut perubahan masukannya dan keluaran itu dapat berubah setiap saat masukan berubah. Umumnya rangkaian tak-serempak ini memakai unsur tundaan waktu pada lintasan umpan baliknya. Tundaan waktu ini biasanya diperoleh dari gerbang-gerbang pada lintasan itu. Unsur pengingat (memory) yang paling umum dipakai pada rangkaian berurut serempak adalah flip-flop. Setiap flip-flop dapat menyimpan satu bit (binary digit).

**BAB II**

**PEMBAHASAN**

**2.1 Pengenalan Rangkaian Sekuensial**

Rangkaian sekuensial adalah rangkaian logika yang kondisi keluarannya dipengaruhi oleh masukan dan keadaan keluaran sebelumnya atau dapat dikatakan rangkaian yang bekerja berdasarkan urutan waktu. Ciri rangkaian logika sekuensial yang utama adalah adanya jalur umpan balik (feedback) di dalam rangkaiannya. Input sebelumnya disimpan sebagai informasi biner pada memori (informasi tersebut disebut dengan state.

**2.2 Pengenalan Flip Flop**

Flip-flop adalah rangkaian digital yang digunakan untuk menyimpan satu bit secara semi permanen sampai ada suatu perintah untuk menghapus atau mengganti isi dari bit yang disimpan. Prinsip dasar dari flip-flop adalah suatu komponen elektronika dasar seperti transistor, resistor dan dioda yang di rangkai menjadi suatu gerbang logika yang dapat bekerja secara sekuensial.

Dalam elektronika, Gerbang Flip-Flop adalah sebuah sirkuit yang memiliki dua keadaan stabil yang dapat digunakan untuk menyimpan suatu keadaan informasi. Keadaan ini dapat diubah dengan mengganti sinyal input dan akan menghasilkan satu atau dua output.

Flip-flop dapat digunakan secara sederhana yaitu menggunakan *clock*, sedangkan yang paling sederhana dinamakan latch. Kata *“latch”* lebih biasa digunakan untuk menyimpan data yang ada, sementara *clock devices* dapat dikategorikan sebagai *flip-flop*.

Flip-flop dan lacth dapat digunakan sebagai elemen penyimpanan data. Penyimpanan data ini digunakan untuk menyimpan *state* (keadaan) pada ilmu komputer, dan sirkuit ini merupakan *logika sekuensial*. Saat digunakan dimesin finite-state, hasil keluaran dan state selanjutnya bergantung bukan hanya kepada keadaan saat ini (dan, karena itu, masukan sebelumnya). Sirkuit juga digunakan untuk mengitung bunyi teratur dan singkronisasi sinyal.

Fungsi dari flip-flop adalah :

1. Menyimpan bilangan biner

2. Mencacah pulsa

3. Menyerempakkan/men-sinkronkan rangkaian aritmatika

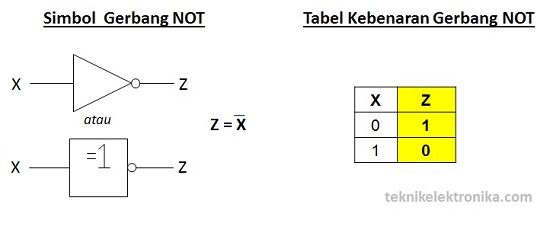
Flip-flop bersifat Bistable : dua kondisi yang stabil 0 atau 1. Kondisi ini akan tetap stabil tidak akan berubah jika tidak ada pemicu (input) yang masuk.

**2.3 Gerbang Dasar Flip-Flop**

Untuk mengerti cara kerja gerbang flip-flop, pertama kita harus mengerti cara kerja dari 7 gerbang dasar :

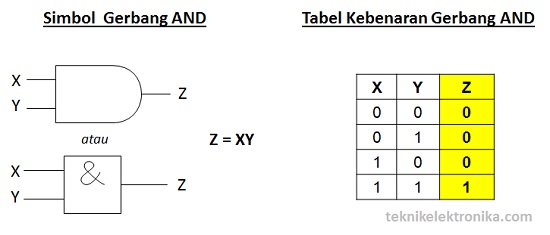
1. NOT Gate

Disebut juga gerbang Inverter yang mengambil A Q sebuah input dan mengeluarkan kebalikannya 1 sebagai output.



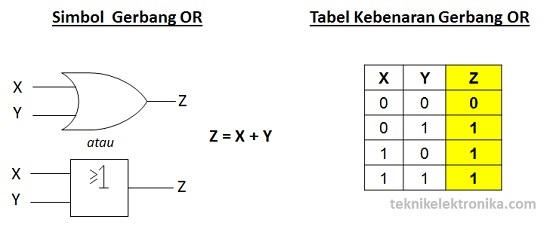
1. AND Gate

Melakukan operasi logika AND dengan 2 input. Bila keduanya bernilai True maka akan menghasilkan output True.



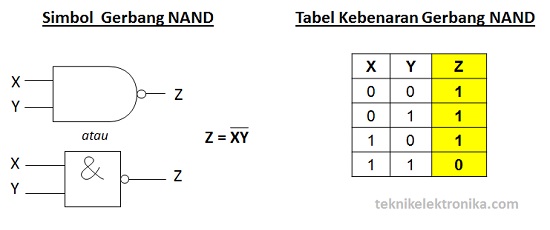
1. OR Gate

Melakukan operasi logika OR. Bila input A atau B atau keduanya bernilai. True maka akan menghasilkan output True.



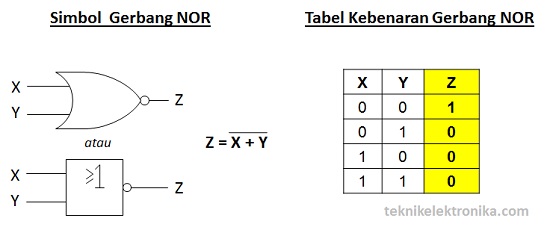
1. NAND Gate

NOT-AND Gate adalah penggabungan dari gate NOT dan AND yang akan menghasilkan kebalikan dari output gate tersebut.



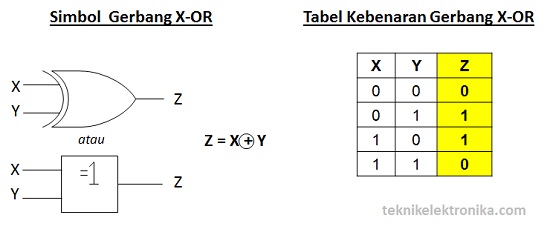
1. NOR Gate

NOT-OR Gate adalah penggabungan dari gate NOT dan OR yang akan menghasilkan kebalikan dari output gate tersebut.

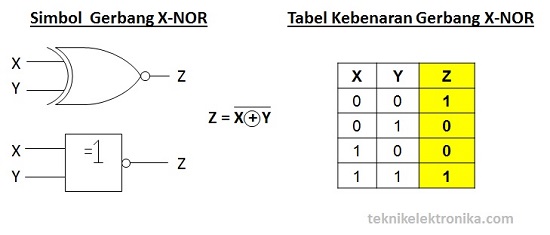


1. XOR Gate

Exclusive OR Gate melakukan operasi bila input A atau B bernilai 1 (true) tetapi tidak keduanya, maka output adalah 1 (true)



1. XNOR Gate

NOT-OR Gate adalah gabungan XOR Gate dengan NOT gate, yang menghasilkan kebalikan dari output XOR Gate.

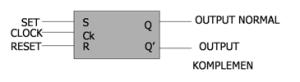
**2.4 Jenis-jenis Flip Flop**

Flip flop terbagi menjadi beberapa jenis dan fungsi yang berbeda yaitu :

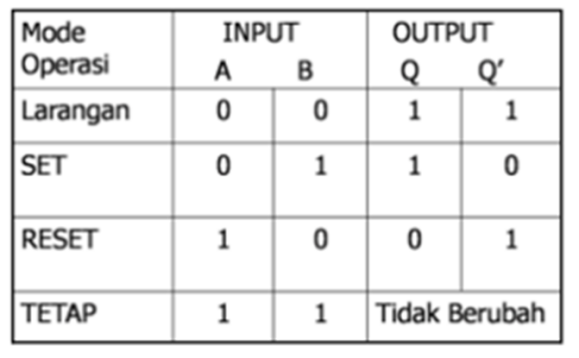
1. **SR flip-flop**

Flip –flop ini memiliki dua masukkan dan dua keluaran. SR flip-flop mempunyai dua inputan yaitu S = set dan R = reset, mempunyai 2 output yaitu Q dan Q’ .Output Q dianggap merupakan output normal, dan dalam kondisi normal kedua output selalu merupakan komplementer. Karena fungsi flip-flop memegang data sementara, maka flip-flop ini sering disebut SR Latch Flip-Flop. Flip-flop SR dapat dibentuk dari kombinasi dua gerbang NAND atau kombinasi dari dua gerbang NOR. IC yang dipakai untuk SR flip-flop bisa IC 7400 (IC NAND) atau IC 7402 (IC NOR).

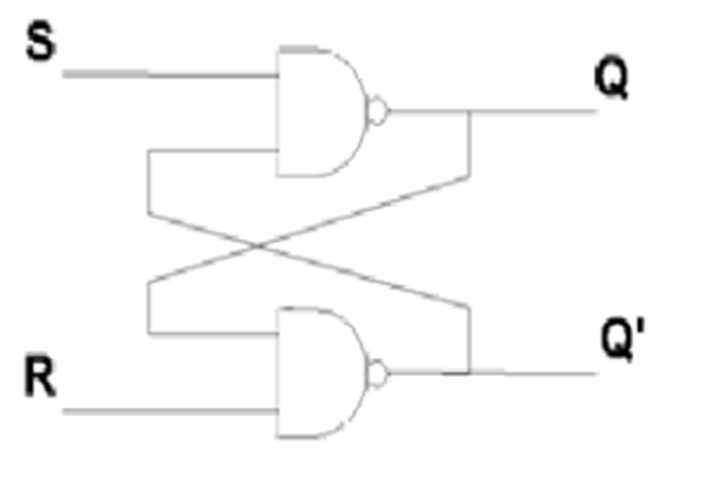
Simbol Logika RS flip-flop

[](https://fauziahrizqy.files.wordpress.com/2013/06/simlog.png)

Tabel Kebenaran RS Flip-flop



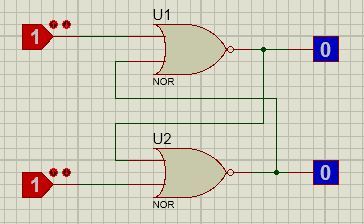
Rangkaian Logika RS flip-flop



1. **Penahan NOR (NOR Latch)**

Flip Flop dengan penahan NOR dibangun dengan mengggunakan rangkaian terpadu (IC). Flip Flop yang dibangun dengan menggunakan gerbang logika NOR dinamakan penahann NOR.

Rangkaian Flip Flop SR Penahan NOR



Tabel Kebenaran

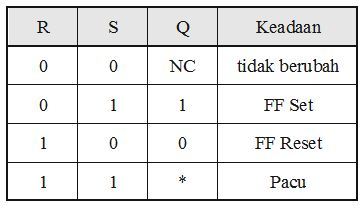
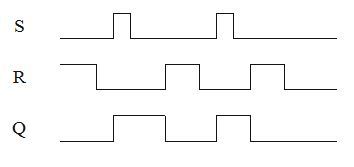
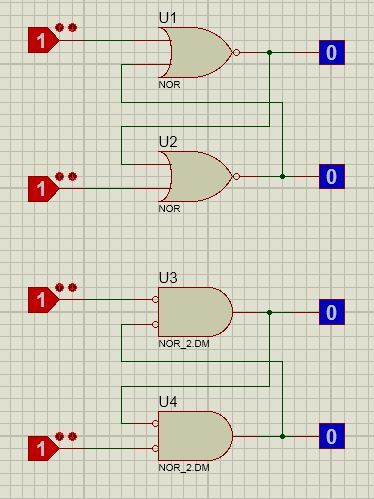


Diagram Masukan



Penahan NOR dapat dinyatakan kembali dengan teorema De morgan, sehingga kita dapatkan rangkaian penahan yang lain tetapi dengan fungsi yang sama.

Flip Flop SR dengan gerbang NOT dan AND

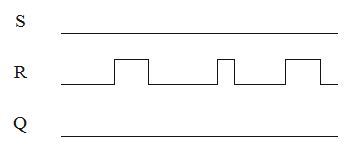


Masukkan R dalam keadaan 0 dan S dalam keadaan 1 memberikan keadaan SET. Sedangkan apabila R dalam keadaan 1 dan S dalam keadaan 0 akan memberikan keadaan RESET. Namun saat SET dan RESET dalam keadaan 1, akan terjadi keadaan pacu. Oleh karena itu kita harus menghinari keadaan R dan S dalam keadaan 1. Sedangkan Saat S dan R dalam keadaan 0, tidak terjadi perubahan.

Prinsip Kerja Penahan NOR.

1. Pengujian Rankaian.

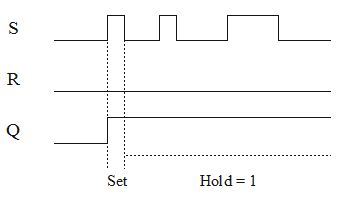
Diagram Masukan



Apabila S rendah (0), maka keluaran Q akan rendah, walaupun keadaan R dirubah mejadi tinggi maupun rendah, maka Q tetap rendah.

2. Keadaan SET.

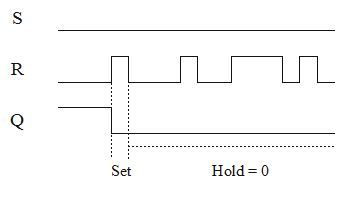
Diagram Masukan



Apabila S dalam keadaan 1 (tinggi) keluaran Q akan 1 (tinggi). dan S hanya sekali memberikan pulsa, dari keadaan 0 menjadi 1. Sesudah itu jika keadaan S berubah-rubah , keluaran Q akan tetap 1.

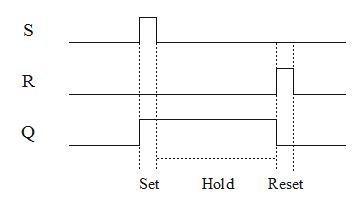
3. Keadaan RESET.

Diagram Masukan



Pada keadaan ini, keluaran Q tetap 1 (tinggi) apapun yang terjadi pada S. Cara menurunkan atau mengubah keadaan dengan menurunkan pulsa dari 1 menjadi 0 adalah dengan cara mengaktifkan R. Begitu R berubah keadaannya dari 0 menjadi 1 maka seketika itu juga keluaran Q akan menjadi 0 (rendah). Sesudah itu, apapun yang terjadi pada masukan R, flip flop tidak akan menganggapi.

Diagram Masukan



Saat ingin mengubah keadan keluaran Q lagi maka S harus diberi pulsa kembali, maka keluaran Q akan menjadi 1. Untuk mengubahnya menjadi 0 lagi maka R diberi pulsa kembali.

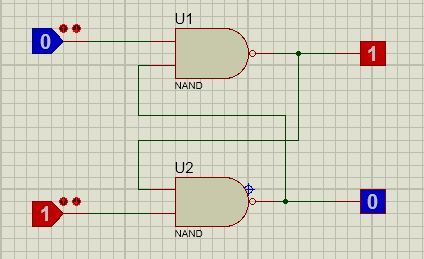
4. Keadaan HOLD .

Fllip Flop dinyatakan dalam keadaan Hold jika data yang dimasukkan pada flip flop ditahan, hingga ada perubahan masukan. Langkah langkah percobaan diatas adalah suatu cara untuk mengetahui prinsip kerja dari flip flop secara bertahap dan terstruktur, dan dari percobaan tersebut telah dibukrikan bahwa flip flop dapat menyimpan data dengan cara menahan data tersebut.

## Penahan NAND (NAND Latch)

Sebuah Flip Flop RS yang terbuat dari gerbang logika NAND (NOT-AND) sering disebut sebagai penahan NAND. Penahan NAND prinsip kerjanya sama dengan NOR. Perbedaannya terletak pada keadaan level atau tingkat logikanya. Masukan – masuka SET dan RESET dari penahan NOR bekerja dari keadaan O menjadi 1, sewaktu mengubah keadaan, sedangkan penahan NAND sebaliknya. Masukan – masukan SET dan RESET dari penahan NAND bekerja dari keadaan 1 menjadi 0 sewaktu mengubah keadaan.

Penahan NAND



Tabel Kebenaran

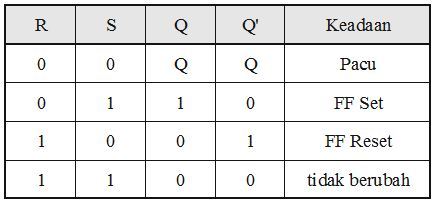
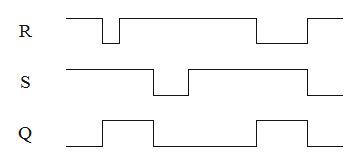


Diagram Masukan

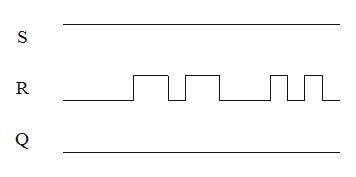


Penahan NAND dapat dinyatakan kembali dengan teorema De Morgan, sehingga kita dapatkan rangkaian penahan yang lain tetapi fungsi logikanya sama.

Prinsip Kerja dari penahan NAND.

1. Keadaan Pengujian.

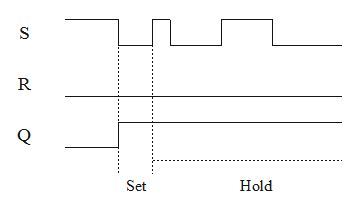
Diagram Masukan



Apabila S = 1 (tinggi) maka keluaran Q akan rendah. Walaupun R diubah-ubah keadaannya, keadaannya tetap 0.

2. Keadaan SET.

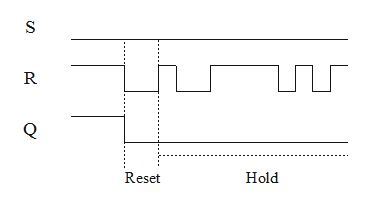
Diagram Masukan



Apabila S berubah dari 1 menjadi 0, maka keluaran Q akan langsung 1. Dan S hanya sekali saja membuat pulsa dari keadaan 0 menjadi 1. Sesudah itu jika keadaan S akan berubah ubah, keluaran tetap 1. Yang artinya penahan NAND akan tetap menahan data pertama yang masuk, selama dalam keadaan ini penahan NAND berada dalam keadaan HOLD

3. Keadaan RESET.

Diagram Masukan

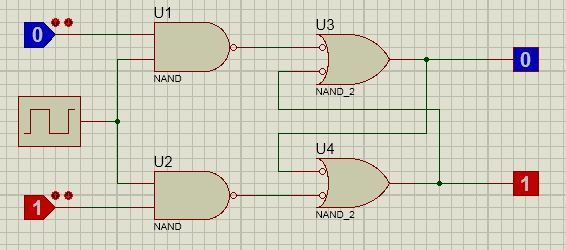


Pada keadaan ini, keluaran Q tetap 1 (tinggi) apapun yang terjadi pada S. Cara menurunkan pulsa dari 1 menjadi 0 adalah mengaktifkan R. Begitu R berubah keadaannya dari 1 menjadi 0 maka seketika itu juga keluaran Q akan menjadi 0. Dan R hanya sekali saja berperan dalam mengubah keadaan keluaran Q. Setelah itu apapun yang terjadi pada R tidak akan ditangga pi oleh keluaran Q.

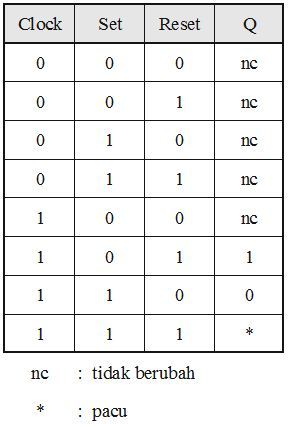
1. **Flip Flop RS Terdetak**

Flip Flop RS dikembangkan dengan ditambah masukan untuk sinyal pendetak (clock), maka disebut Flip Flop RS Terdetak (clocked SR flip flop). Flip Flop Terdetak bekerja dengan menggunakan sinya pendetak. Pada hakikatnya prinsip keduanya sama, tetapi oerasi pengendalian masukan dan keluarannya berbeda. Flip Flop RS terdetak ini harus menyesuaikan diri dengan sinyal pendetak atau menyingkronkan diri dengan sinyal pendetak. Apabila sinyal pendetak masukan pada logika 0, maka data yang masuk pada R dan S tidak akan ditanggapi atau diproses oleh flip flop, sehingga keluaran Q tetap tidak berubah. Jika sinyal pendetak berubah dari logika 0 menjadi 1, seketika itu masukan SET dan RESET akan ditanggapi, sehingga keluaran Q berubah. Pengoperasian flip flop SR terdetak disebut secara serempak atau sinkron. Dinamakan sinkron karena bekerjanya menyesuaikan dengan irama waktu sinyal pendetak.

Rangkaian Flip Flop SR terdetak



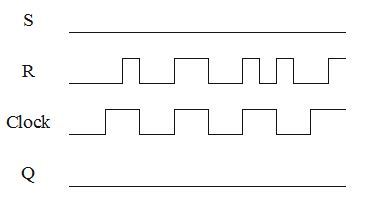
Tabel Kebenaran Flip Flop SR terdetak



Prinsip Kerja Flip Flop SR Terdetak.

1. Pengujian Flip Flop.

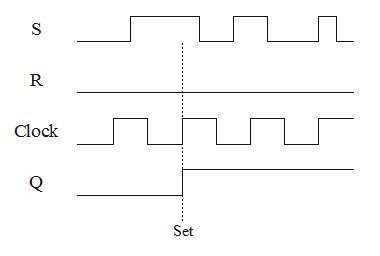
Diagram Masukan



Apabila masukan SET dalam keadaan logika 0 maka keluaran Q akan 0. Kemudian masukan R diubah-ubah keadaannya, keluaran Q tidak berubah yaitu tetap 0. Walaupun sinyal pendetak berubah-ubah level logikanya, keluaran Q tetap tak berubah sedikitpun.

2. Keadaan SET.

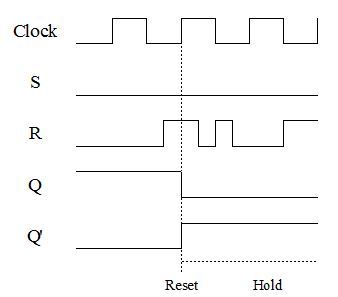
Diagram Masukan



Apabila masukan SET diberi pulsa maka pada bagian masukan akan terjadi perubahandari 0 menjadi 1. Tetapi keluaran Q akan tetap 0. Flip Flop masih belum menanggapinya dan keluaran Q tetap tak berubah (Q=0). Setelah sinyal pendetak tiba, saat itu juga flip flop akan menanggapinya dan keluaran Q akan berubah menjadi 1. Dan S hanya sekali saja memberikan pulsa,dari keadaan 0 menjadi 1. Sesudah itu jika keadaan S berubah-ubah, keluaran Q akan tetap 1, meski sinyal penndetak berubah-ubah keadaannya.

3. Keadaan RESET.

Diagram Masukan



Dengan melakukan pengujian diatas, flip flop akan aktif. Keluaran Q adalah 1. Artinya flip flop sedang mengingat suatu tanda biner, yaitu 1. Data biner tersebut akan tetap disimpan oleh flip flop selamanya, tanpa batas waktu. Lalu, jika ingin mengubah data yang disimpan dalam flip flop menjadi 0 atau keluaran Q=0. Caranya, masukan RESET diberi masukan sinyal Flip flop tidak akan l angsung menanggapinya dan memprosesnya tetapi terlrbih dahulu sinyal pendetakya. Jika sinyal pendetak belum tiba atau masih dalam keadaan 0, maka flip flop tidak akan berubah sedikitpun. Tetapi begitu sinyal pendetak tiba, flip flop akan langsung menggapi dan keluaran Q akan berubah menjadi 0. Jika masuka Reset diberi pulsa dan sinyal pendetal dalam keadaan 1 maka masukan Reset akan langsung ditanggapi, dan keluaran Q akan 0. Jika pada keluaran Q dipasang inverter maka keluaran Q’ akan 1. Masukan Reset hanya memeiliki satu kesempatan untuk mengubah flip flop.

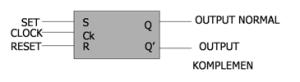
Tentang Sinyal Pendetak.

Sinyal pendetak bekerja dalam suatu model atau cara yang disebut Possitive Going Transition (PGT) atau Perubahan Tepi Naik Positif. Artinya ketika denyut sinyal detak (clock) berganti dari 0 ke 1, perubahan keadaan flip flop terjadi dan keluaran Q dan Q’ berubah. Keluaran tepat pada tepi naik dari sinyal detak. Pada flip flop, masukan SET dan RESET harus menunggu sampai sinyal pendetak menjadi logika 1, cara ini disebut dengan pendekatan positif (positive clocking). Jika diantara masukan sinyal pencetak dan gerbang – gerbang logika dipasang sebuah Inverter (gerbang NOT) akan didapat pendekatan egatif (negative clocking)

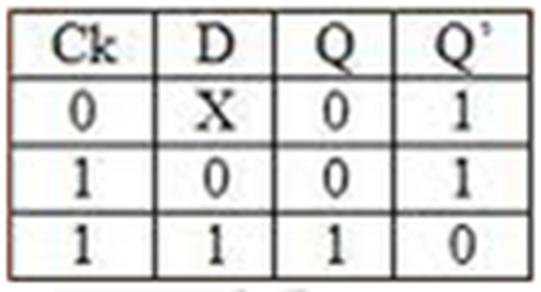
1. **D Flip-flop**

Merupakan modifikasi dari SR flip-flop dengan tambahan gerbang pembalik pada masukan R sehinga R merupakan komplemen dari masukan S. Pada dasarnya sebuah flip-flop memiliki dua input, pada FF D input yang dibutuhkan hanyalah 1. Dengan modifikasi tambahan pada FF SR dengan NOT Gate, input D akan mengontrol kondisi set dan reset gate.

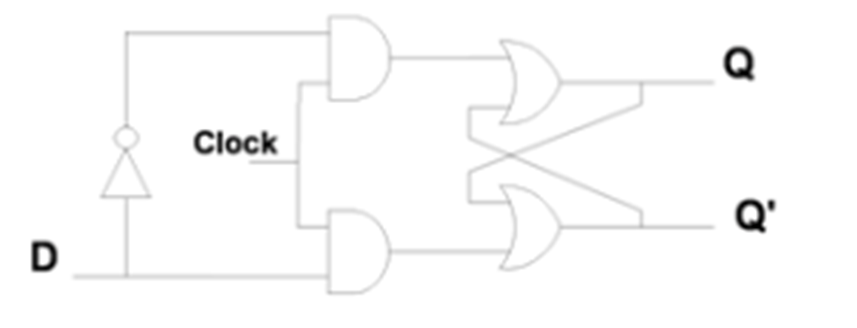
Simbol Logika D flip-flop

[](https://fauziahrizqy.files.wordpress.com/2013/06/simlog.png)

Tabel Kebenaran D flip-flop



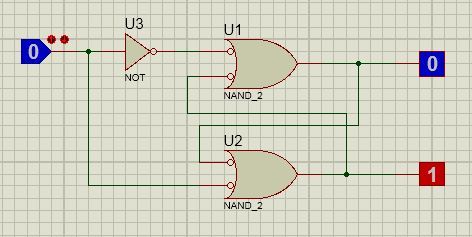
Rangkaian Logika D flip-flop



## Penahan D

Penahan D dapat dibuat dengan menggunakan gerbang logika NAND seperti halnya rangkaian pada flip flop RS. Namun pada Flip Flop D kita menggunankan tambahan Inverter sebelum gerbang NAND.

**Penahan D tanpa sinyal kendali dan pendetak**



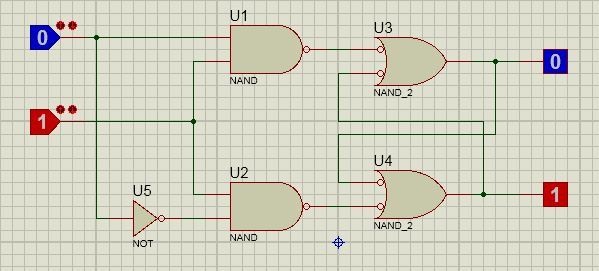
**Tabel Kebenaran**

Prinsip kerja dari Flip Flop D juga sederhana. Isyarat digital yang masuk pada D akan dibagi menjadi 2 jalur. Jalur pertama melewati inverter kemudian diteruskan pada gerbang NAND yang menghasilkan Keluaran RESET, sedangkan jalur kedua langsung melewati garbang NAND dan menghasilkan keluaran SET. Kemudian untuk masukan pada D, jika masukan 0, maka gerbang NAND atas akan bernilai 0 dan gerbangn NAND bawah akan bernilai 1 sehingga akan menghasilkan keluaran RESET. Namun jika masukan awal 1, maka gerbang NAND atas akan bernilai 1 dan gerbang NAND bawah akan bernilai 0 sehingga akan menghasilkan keluaran SET. pada penahan D ini tidak akan terjadi keadaan yang terpacu, karena gerbang logika yang digunakan menjamin untuk mengeluarkan nilai SET dan RESET yang berlawanan.

## Penahan D dengan Sinyal Kendali Enable Tanpa Sinyal Pendetak

Penahan D jenis ini dapat dibentuk dengan menambahkan Inverter pada sebuah flip flop gerbang SR, rangkaian ini menggunakan gerbang NOT, NAND dan Inverter. Untuk alur masukan data, SET mendapatkan masukan langsung dari gerbang NOT yang terhubung langsung dengan masukan data kemudian melewati gerbang NAND kemudian baru menghasilkan keluaran. Sedangkan untuk RESET masukan yang sampai padanya telah melalui gerbang inverter dan gerbang NOT sebelum sampai pada RESET, kemudian masukan diteruskan pada gerbang NAND sebelum menghasilkan keluaran. Dalam penggunaannya masukan D dan keluaran Q akan selalu sama selama Enable bernilai 1, namun saat Enable benilai 0 maka masukan D terakhir yang terbaca saat Enable 1 akan ditahan, dan perubahan pada masukan D tidak akan di proses.

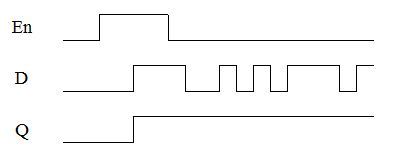
**Penahan D dengan kendali Enable tanpa pendetak**



**Prinsip Kerja Penahan D**

1. Flip Flop bekerja sebagai penahan data
2. Penahan D menyimpan data 1.

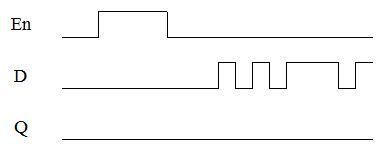
**Diagram masukan data**



Penahan data ini berfungsi untuk menahan deretan pulsa biner yang dimasukkan. Jika pada penahan D masukan enable bernilai 0 maka masukan yang masuk itu akan ditahan dan disimpan hingga masukan enable diubah menjadi 1 kemudian keluaran Q akan tetap mengeluarkan keluaran 1 dan mengabaikan masukan lain yang ada pada En dan D.

**Penahan D menyimpan data 0.**

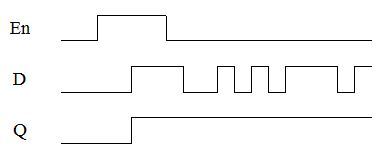
**Diagram masukan data**



Sinyal masukan awal yang diberikan pada masukan enable adalah logika 1, kemudian pada masukan D diberi masukan 0, keluaran Q akan tetap mengeluarkan masukan pertama yang telah di inputkan dengan mengabaikan perubahan yang terjadi pada EN dan D

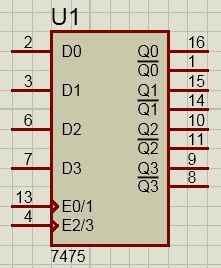
**Flip flop bekerja sebagai transparent data.**

**Diagram masukan data**

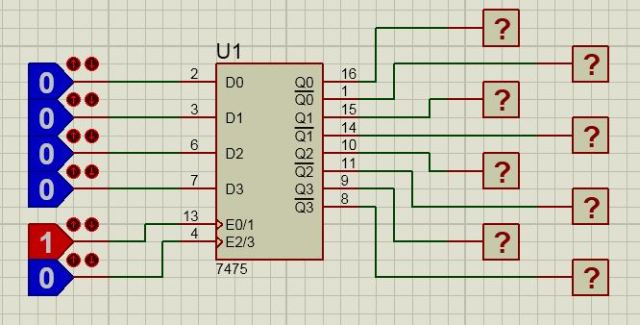


Jika pada makukan En diberikan isyarat 1 yang dipanjar, maka keluaran Q yang dihasilkan akan mengikuti perubahan masukkan pertama yang dimasukkan pada penahan D. Sewaktu menjalankan penahan D dlam bentuk (mode) operasi ini, penahan D dikatakan transparant atau bersifat tembus cahaya. Penahan D dapat dibangun dengan menyusun gerbang logika seperti gamabar. Tetapi, penahan D akan lebih cepat, mudah dan preaktis jika menggunakan rangkaian terpadu (IC). Dalam satu kemasan chip terdapat beberapa penahan D dalam keadaan siap digunakan. Sedangkan kode IC adalah IC TTL 7475. Setiap IC berisi 4 buah flip flop D.

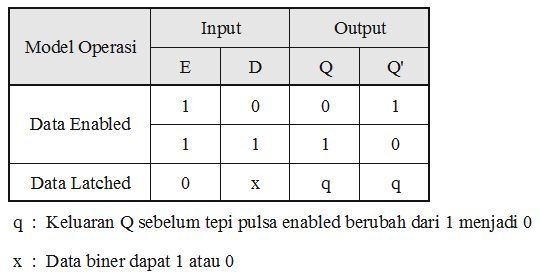
**IC TTL 7475**



**Rangkaian Terpadu penahan D dengan IC TTL 7475**



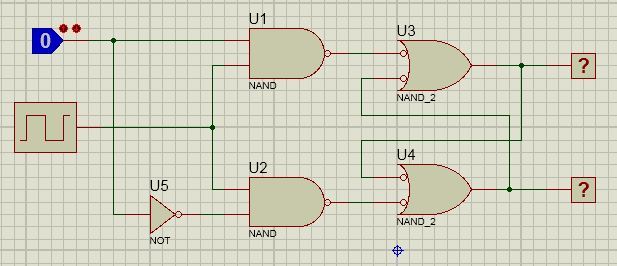
**Tabel Fungsi untuk IC TTL 7475**



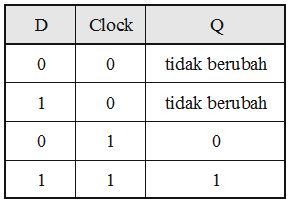
## Penahan D dengan Sinyal Pendetak

Cara mudah untuk memahami penahan D dengan sinyal pendetak ini adalah dengan mengganti kendali Enable dangan sinyal pendetak (clock). prinsip kerja dari penahan D dengan sinyal pendetak pun sama dengan prinsip kerja penahan D dengan kendali Enable. Namun pada pengoperasiannya terdapat sedikit perbedaan, jika ada penahan D dengan kendali pendetak kita dapat mengendalikan batasan waktu, pada penahan D sinyal pendetak kita harus mengikuti laju dari sinyal pendetak. Rangkaian D dengan sinyal pendetak memiliki 2 masukan, yaitu masukan D dan detak (clock)

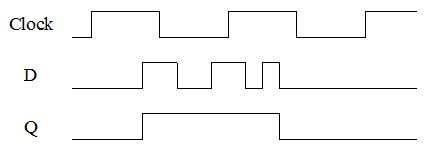
**Penahan D dengan Sinyal Pendetak**



**Tabel Kebenaran**



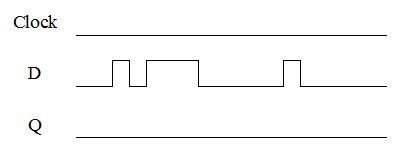
**Diagram Masukan**



**Jenis jenis Penahan D dengan sinyal pendetak**

1. Penahan D dengan sinyal Pendetak sederhana
2. Penahan D Sinyal Pendetak belum Aktif.

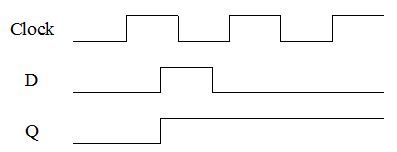
**Sinyal pendetak dalam keadaan 0**



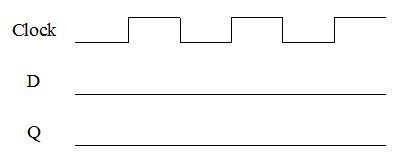
Saat sinyal pendetak belum aktif maka masukan yang ada pada D ridak akan berpengaruh pada keluaran Q

**Penahan D Ketika Sinyal Pendetak Aktif.**

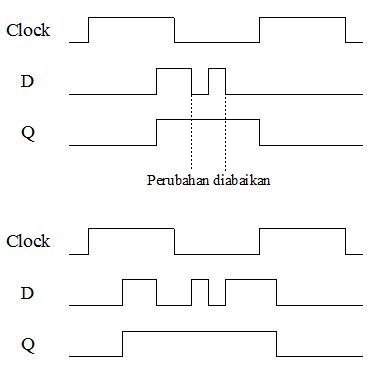
**Masukan D adalah 1**



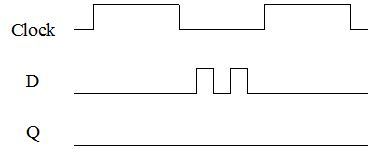
**Masukan D adalah 0**

  
Pada saat sinyal pendetak dalam keadaan 1, maka sinyal yang masuk pada D akan dibaca dalam rentanagan masukan 1 pada sinyal pendetak, kemudian keadaan akhir dari sinyal D yang dibaca akan ditahan. Namun jika pada saat sinyal pendetak telah mengalami keadaan high namun sinal D tidak ada perubahan maka keluaran Q yang dihasilkan pun tidak akan berubah.

**Menghapus Isi Data pada Penahan D. Isi Penahan D adalah 1**

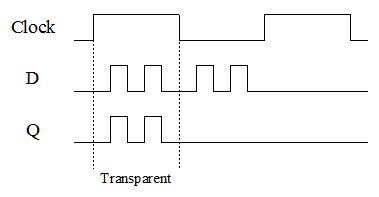


**Isi Penahan D adalah 0**

  
Ada dua cara yang dapat dilakukan untuk melakukan pengubahan keluaran Q yaitu dengan megubah sinyal penahan D menjadi 1 atau 0 pada saat sinal pendetak bernilai 1

**Penahan D dlam Mode Operasi Mengikuti atau bersifat Transparent.**

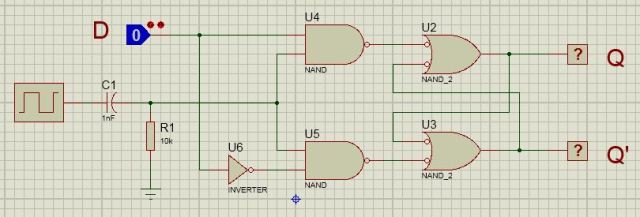
**Penahan D dalam Operasi Transparent**



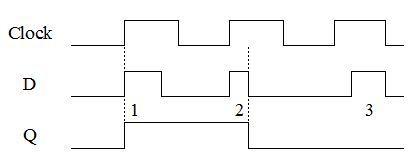
Kemudian ada kondisi dimana keluaran Q mengikuti sinyal yang terdapat pada penahan D, kondisi ini disebut transparent

**Penahan D dengan pemicuan Tepi.**

**Flip Flop D pemicuan Tepi**

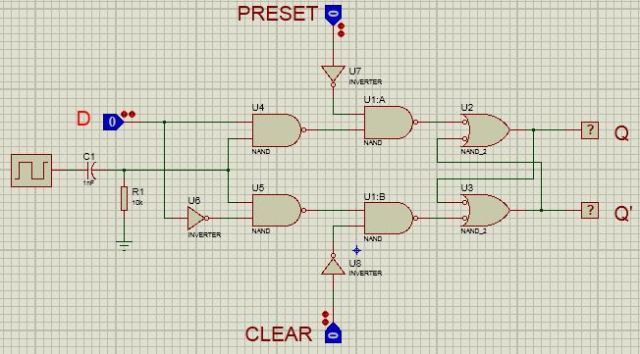


**Diagram Masukan**

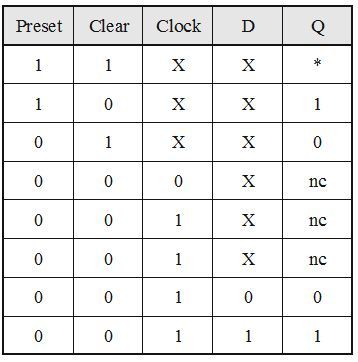
  
 Dapat dilihat dari diagram masukan bahwa pulsa biner 1 dan 2 yang masuk pada masukan D langsung di proses oleh penahan D. Tetapi ketika pulsa biner 3 dan 4 masuk pada masukan D tidak ditanggapi sama sekali oleh penahan D. Ini dikarenakan pulsa biner yang masuk yang dapat ditanggap i oleh penahan D hanyalah pada tepi awal pulsa saja.Penahan D ini menggunakan rangkaian Diferensito, rangkaian Diferensiator adalah sebuah rangkaian yang pada masukan sinyal pendetaknya dipasang sebuah resistor dan kapasitor. Rangkaian Ini dirancang agar sinyal pendetak yang dihasilkan lebih sempit dari sinyal pendetak yang seharusnya terbentuk sehingga waktu cuplikannya menjadi lebih cepat. Sinyal pendetak ini kemudian akan mengendalikan Penahan D menjadi Set atau Reset yang mana reaksi yang dihasilkan akan lebih sensitif dari sinyal pendetak sebelumnya. Perubahan ini dilakukan agar Flip Flop bereaksi pada perubahan awal pulsa naik (tepi positif) dari sinyal detak.

**Penahan D Pemicuan Tepi dengan Sinyal Pendetak dan Kendali Preset Clear.**

**Flip Flop D dengan 2 Gerbang Nand**



**Tabel Kebenaran**

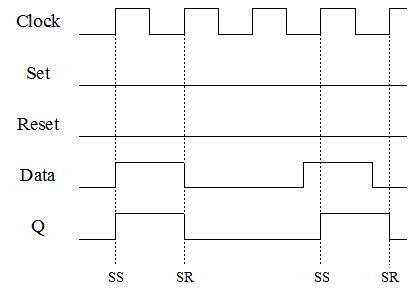


Pada rangkaian ini, saat preset dan clear sama sama rendah, maka akan dijumpai keadaan tidak aktif preset dan clear harus dalam tingkat logika tinggi. bila preset dibuat rendah secara tersendiri, maka flip flop akan di reset. Untuk lebih jelasnya kita masukkan pada sebuah contoh, misalnya sinyal clear dapat berasal dari sebuah tombol tekan. Jadi, lepas dari keadaan sinyal pendetakyang sedang bekerja, keluaran akan langsung di reset ketika operator menekan tombol clear. Flip Flop D jenis ini mempunyai dua macam mode pengoperasian, yaitu mode sinkron dan mode asinkron.

**Mode Pengoperasian**

**Penahan D Sinkron.**

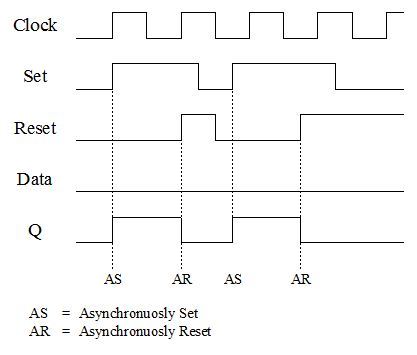
**Diagram Masukan Penahan D sinkron**



Pembacaan masukan pada Penahan D ini berpedoman tepi positif dari clock yang aktif, jika data yang masuk pada masukan D bersamaan dengan tepi positif dari clock maka keluaran yang muncul pada Q akan sejalan dengan masukan pada D yang terbaca, sedangkan jika masukan pada D masuk tidak pada saat tepi positif dari clock, maka keluaran Q yang dihasilkan nantinya tetap dari data yang sejalan dengan tepi positif dari clock

**Penahan D Asinkron.**

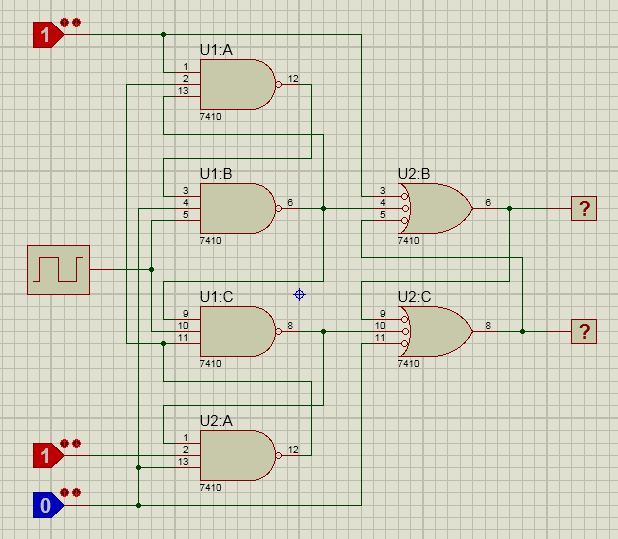
**Diagram Masukan Penahan D Asinkron**



Pengaktifan atau pembacaan masukan pada Penahan D Asinkron tidak bergantung pada clock seperti Penahan D sinkron. Pengaktifan Penahan D asinkron bergantung pada masukan Set dan Reset pada rangkaian. Saat Set bernilai 1 maka penahan D akan Aktif dan keluaran Q pun akan bernilai 1, dan saat Reset benilai 1 maka Penahan Akan padam dan keluaran Q pun akan bernilai 0, meskipun saat masukan 1 dari Reset masukan Set yang masih aktif akan diabaikan, namun saat Set kembali bernilai 1 maka masukan Reset akan diabaikan. Namun pada saat Set dan Reset sama sama dalam keadaan high, maka penahan akan berada dalam keadaan pacu, ini adalah keadaan terlarang. Pada prakteknya seperti pada LED, keadaan pacu dapat membuat LED redup atau berkedip tidak beraturan.

**Penahan D Pemicuan Tepi dengan Rangkaian Tepi Gandengan Langsung.**

**Flip Flop D dengan Rangkaian Tepi Gandenga Langsung**



Pada prinsipnya, rangkaina ini hanya menggapi sinyal masukan untuk beberapa saat selama sinyal pendetak bertransmisi dari keadaan tinggi. Bit data D disimpan rendah hanya pada waktu transisi naiknya sinyal pendetak.

**BAB III**

**PENUTUP**

Jadi rangkaian flip-flop adalah rangkaian yang dapat bekerja hanya dengan dua buah input dan output secara berlawanan. Flip-flop juga rangkaian yang penting dalam sistem elektronika digital dan juga elemen penyimpanan dasar pada logika sekuensial yang digunakan pada komputer, alat komunikasi elektronik lainnya. Clock adalah salah satu rangkaian yang ada dalam beberapa flip-flop. Sinyal clock mencegah flip-flop berubah keadaan sebelum waktunya. Jenis-jenis flip-flop yaitu:

1. RS Flip-Flop

RS FF adalah flip-flop dasar yang memiliki dua masukan yaitu R (reset) dan S (set) dan mempunyai dua output Q dan Qnot (Q atasnya garis).

1. D Flip-Flop

D Flip-flop adalah RS flip-flop yang ditambahkan dalam satu inverter pada reset inputnya.

Sedangkan tabel kebenaran untuk mengetahui benar atau tidaknya rangkaian yang telah kita buat.

**REFERENSI**

<http://elektronika-dasar.web.id/rs-flip-flop/>

<https://www.jalankatak.com/id/rs-flip-flop/>

<https://teknikelektronika.com/pengertian-flip-flop-jenis-flip-flop/>

<https://id.wikipedia.org/wiki/Flip-flop>

<https://docplayer.info/71352609-1-flip-flop-1-rs-flip-flop-2-crs-flip-flop-3-d-flip-flop-4-t-flip-flop-5-j-k-flip-flop-ad-1-rs-flip-flop.html>